

次世代VLSIコンピューティングパラダイムの構築(8 項 次世代コンピューティング研究分野)(1節 プレ インコンピューティング研究部門)(第3章 研究活動)

雑誌名	東北大学電気通信研究所研究活動報告
巻	9
ページ	23-24
発行年	2003-07
URL	http://hdl.handle.net/10097/30303

次世代コンピューティング研究分野

次世代VLSIコンピューティングパラダイムの構築

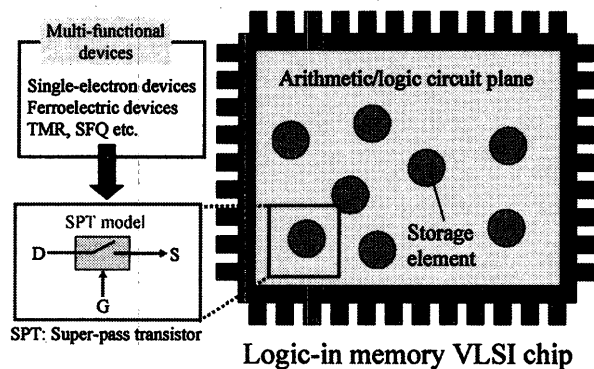


図1 ロジックインメモリVLSIチップ

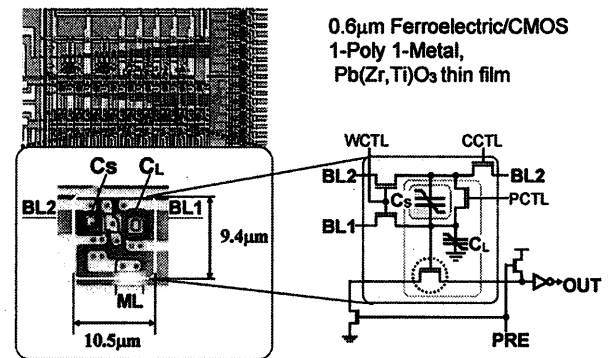


図2 強誘電体機能パスゲートチップ

1. 分野の目標

現在のVLSIでは、トランジスタなど能動素子自体のスイッチング遅延より配線遅延が支配的であり、配線に起因するメモリと演算器間のデータ転送ボトルネックがシステム性能を向上させる上で深刻な問題となっている。このような問題を解決した次世代VLSIコンピューティングを実現するために、アプリケーションオリエンティッドなシステムアーキテクチャ・ハードウェアアルゴリズムを考案すると共に、転送ボトルネックを解消する新しい回路アーキテクチャを考案することが重要である。本研究分野では、次世代VLSIコンピューティングを目指し、従来の延長上にはない新しいパラダイムに基づくハードウェアアーキテクチャの研究を行っている。具体的には、次世代VLSIコンピューティングにおける配線問題を解決する新しい多値電流モード集積回路技術、記憶機能を演算回路に分散化させて膨大なメモリバンド幅を実現するロジックインメモリVLSIアーキテクチャ（図1）、次世代アーキテクチャの統合に基づく情報通信用スーパーチップの開発、超微細化構造に適合する新機能・多機能デバイスを活用したデバイスモデルに基づく次世代コンピューティングアーキテクチャ（図2）など、マルチメディア応用高性能VLSIプロセッサの実現に関する研究を行っている。

2. 過去1年間（2002年4月～2003年3月）の主な成果

2.1 強誘電体デバイスを用いたロジックインメモリVLSIに関する研究

従来メモリ素子として用いられてきた強誘電体キャパシタを活用して演算機能を実現し、コンパクトなロジックインメモリVLSIの構成法を提案すると共に、コンパクトな細粒度超並列構造を実現した。またその応用例として、細粒度超並列構造を有するゲートレベルパイプライン乗算器および連想メモリを構成し、同等機能の2値CMOS回路による構成と比較して面積および動的消費電力を1/2以下、静的消費電

力を1/7700以下にできることを示した。この成果は、大規模順序回路VLSIプロセッサ制御順序回路などのコンパクト化に極めて有用である。また、強誘電体デバイスを用いたロジックインメモリVLSIは、記憶の不揮発性により電源供給なしで記憶情報を保持できるため低消費電力アーキテクチャにも有用である。次世代携帯機器などに組み込まれるマルチメディア応用プロセッサやFPGAへも応用でき、将来的には10倍以上の高性能化が期待される。

2.2 双方向電流モード回路を用いた高速非同期データ転送に関する研究

VLSIチップ内の高速モジュール間データ転送を実現する一手法として、双方向非同期データ転送プロトコルと2色1相2線符号化方式に関する研究開発を行った。これは、送信側と受信側の双方から要求信号を出し合い、信号の加算結果を観測することで双方の状態を判定するプロトコルである。すなわち、双方の要求信号が一致したとき2線符号の和が最大値または最小値となるように、データ表現を定義している。また、実際に電流モード多値回路にて提案プロトコルを実現し、回路シミュレーション上でその動作を確認した結果、従来の非同期データ転送方式と比較して約1.6倍の高速化が達成された。

3. 職員名

教授：羽生貴弘（2002年4月より）

助手：望月 明（2002年10月より）

4. 教授のプロフィール

1984年3月東北大学工学部電子工学科卒，1989年3月同大学院工学研究科電子工学専攻博士後期課程了。同年同大学工学部助手，1994年2月同助教授，2002年4月同大学電気通信研究所教授，現在に至る。多値ロジックインメモリ回路技術とそのマルチメディア応用VLSIコンピューティングに関する研究に従事。IEEE多値論理国際シンポジウム優秀論文賞2回受賞(1986,1988)，丹羽記念賞受賞(1988)，坂井記念賞受賞(2000)，LSIデザイン・オブ・ザ・イヤー審査員特別賞受賞(2002)。

5. 過去1年間（2002年4月～2003年3月）の主な発表論文等

1. Implementation of a DRAM-Cell-Based Multiple-Valued Logic-in-Memory Circuit. IEICE Transaction on Electronics, E85-C, 10, 1814-1823 (2002), H. Kimura, T. Hanyu and M. Kameyama.
2. Multiple-Valued Logic-in-Memory VLSI Based on Ferroelectric Capacitor Storage and Charge Addition, Proceedings 32nd IEEE International Symposium on Multiple-Valued Logic, 161-166 (2002), H. Kimura, T. Hanyu and M. Kameyama
3. Fully Source-Coupled Logic Based Multiple-Valued VLSI, Proceedings 32nd IEEE International Symposium on Multiple-Valued Logic, 270-275 (2002), T. Ike, T. Hanyu, and M. Kameyama
4. Ferroelectric-Based Functional Pass-Gate for Low-Power VLSI, IEEE Symposium VLSI Circuits Digest of Technical Papers, 196-199 (2002), H. Kimura, T. Hanyu, M. Kameyama, Y. Fujimori, T. Nakamura and H. Takasu.
5. Complementary Ferroelectric-Capacitor Logic for Low-Power Logic-in-Memory VLSI IEEE International Solid-State Circuits Conference, Digest of Technical Papers, 160-161 (2003), H. Kimura, T. Hanyu, M. Kameyama, Y. Fujimori, T. Nakamura and H. Takasu.
6. Optimal Design of a Dual-Rail Multiple-Valued Current-Mode Integrated Circuit Based on Voltage Swing Minimization, Journal of Multiple-Valued Logic & Soft Computing, .9, 5-21 (2003), T. Ike, T. Hanyu and M. Kameyama.
7. Multiple-Valued Logic-in-Memory VLSI Using MFSFETs and Its Applications, Journal of Multiple-Valued Logic & Soft Computing, 9, 23-42 (2003), H. Kimura, T. Hanyu and M. Kameyama.